

**CYCLE FABRICATIONS ELECTRONIQUES**

**INTEGRER L'ELECTRONIQUE DE PUISSANCE  
« MODERNE » DANS LES SYSTEMES**



**FRAMATECH**

**Session inter-entreprises**

**Les 17, 18, 19 et 20 décembre 2024, *distanciel***

**FRAMATECH S.A. au capital de 38112 Euros  
Etudes & mises en œuvre de stratégies industrielles internationales Hautes  
Technologies**

4 boulevard d'Arras - 13004 Marseille - France  
Tél. +33 491 95 55 70 / Fax. +33 491 95 55 75 / Mail : [contact@framatech.fr](mailto:contact@framatech.fr)  
Organisme de formation n° 93060115506 – Siret 344 351 879 00046 – NAF 742C – RC88B126  
Web : [www.framatech.fr](http://www.framatech.fr)

## CYCLE FABRICATIONS ELECTRONIQUES

# INTEGRER L'ELECTRONIQUE DE PUISSANCE « MODERNE » DANS LES SYSTEMES



# FRAMATECH

### NOTE POUR LE LECTEUR QUI N'AURAIT PAS ASSISTE AU SEMINAIRE

La documentation ci-jointe est celle qui a servi de support pour illustrer les exposés faits pendant le séminaire **INTEGRER L'ELECTRONIQUE DE PUISSANCE « MODERNE » DANS LES SYSTEMES** et ne représente donc qu'une partie des informations données à cette occasion.

**FRAMATECH S.A. au capital de 38112 Euros**  
**Etudes & mises en œuvre de stratégies industrielles internationales Hautes Technologies**

4 boulevard d'Arras - 13004 Marseille - France  
Tél. +33 491 95 55 70 / Fax. +33 491 95 55 75 / Mail : [contact@framatech.fr](mailto:contact@framatech.fr)  
Organisme de formation n° 93060115506 – Siret 344 351 879 00046 – NAF 742C – RC88B126  
Web : [www.framatech.fr](http://www.framatech.fr)

**CYCLE FABRICATIONS ELECTRONIQUES**

**INTEGRER L'ELECTRONIQUE DE PUISSANCE «  
MODERNE » DANS LES SYSTEMES**



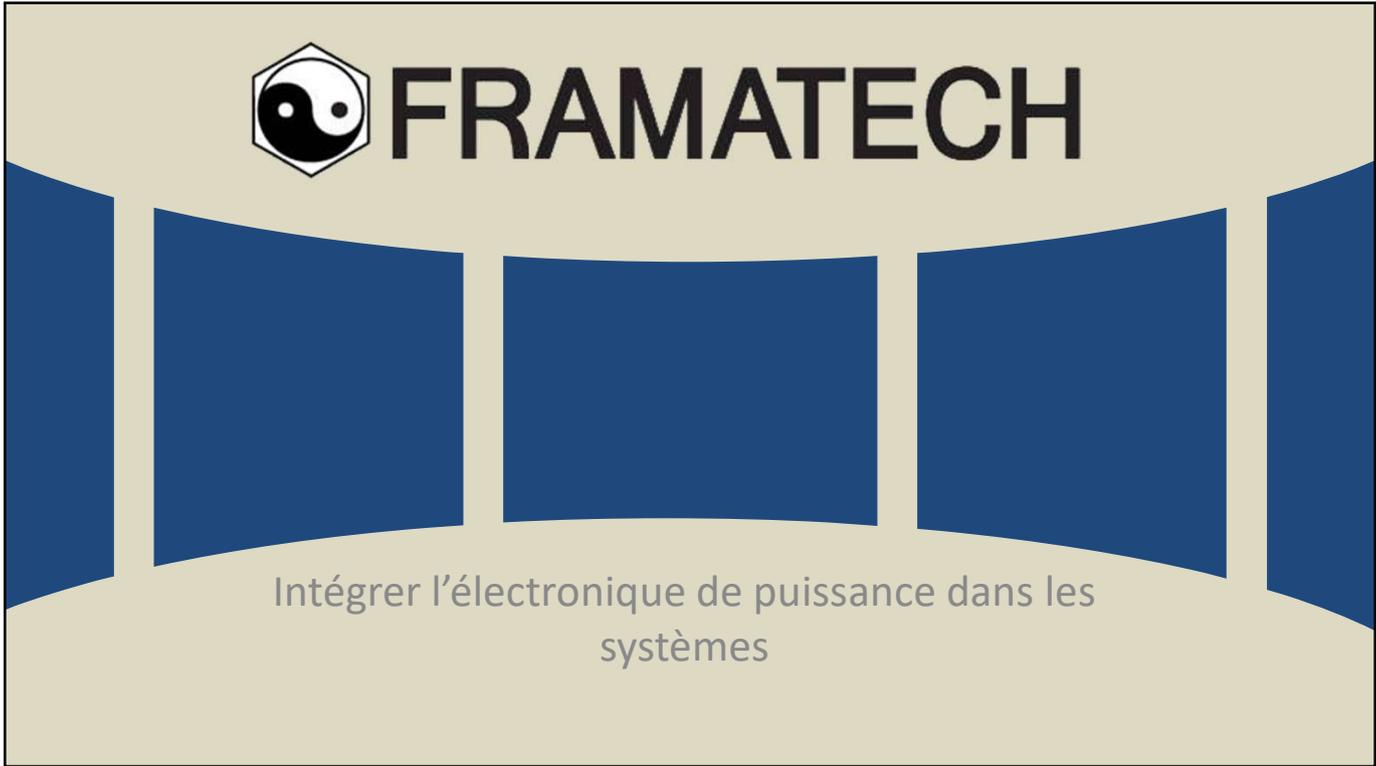
**FRAMATECH**

**PARTIE II  
CONTRAINTES DE CONCEPTION ET DE  
FABRICATION DES ALIMENTATIONS DE  
PUISSANCE & MECANISMES DE  
DEFAILLANCE**

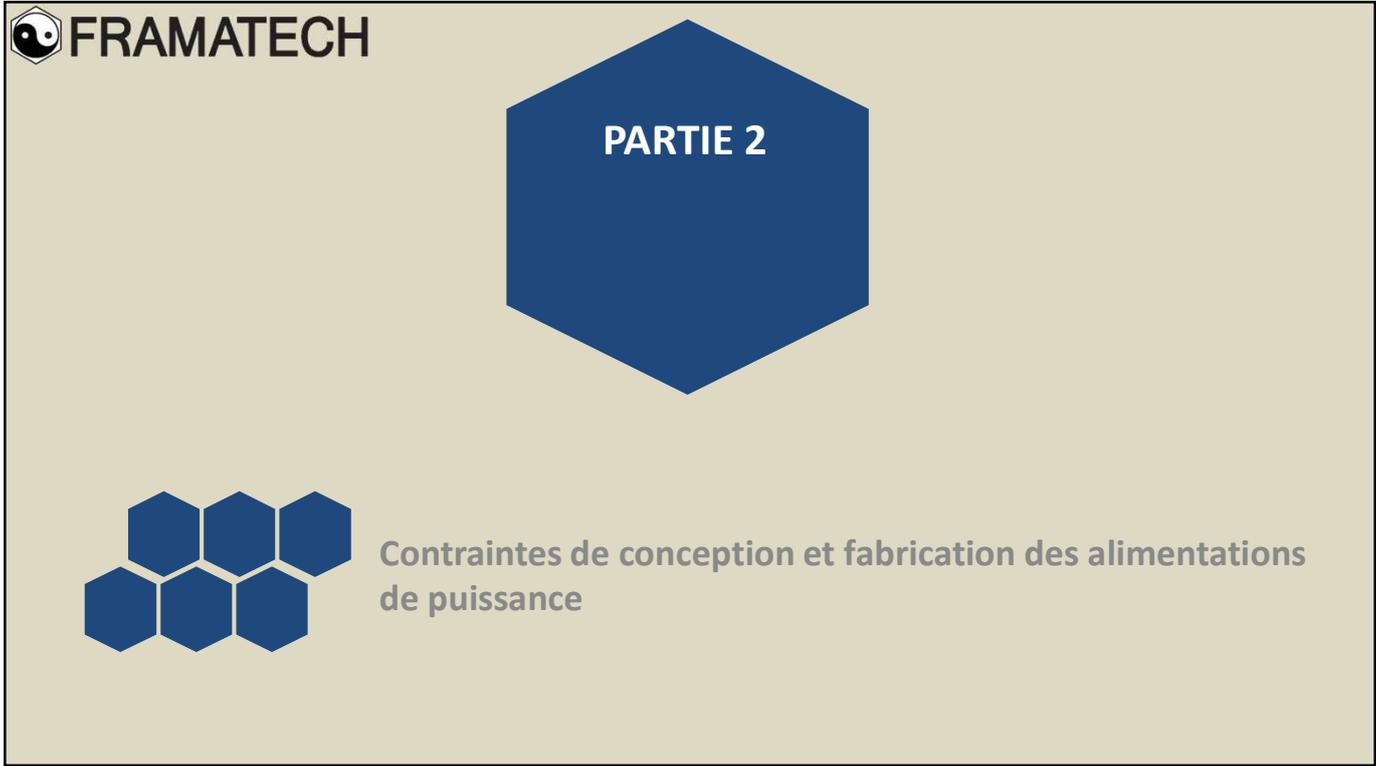
***Monsieur Michel JAMOT***

**FRAMATECH S.A. au capital de 38112 Euros  
Etudes & mises en œuvre de stratégies industrielles internationales Hautes Technologies**

4 boulevard d'Arras - 13004 Marseille - France  
Tél. +33 491 95 55 70 / Fax. +33 491 95 55 75 / Mail : [contact@framatech.fr](mailto:contact@framatech.fr)  
Organisme de formation n° 93060115506 – Siret 344 351 879 00046 – NAF 742C – RC88B126  
Web : [www.framatech.fr](http://www.framatech.fr)



1



2



Contraintes générales de conception



• Contraintes générales:

- Intégration (masse – volume)
- Environnement
- EMI-EMC
- Fiabilité
- Coût
- Ecologiques (ROHS, REACH rendement...)

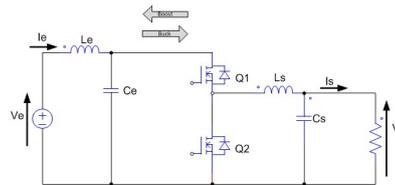
3



Compacité →  
- Intégrabilité  
- Coûts



Ex: topologie DC-DC bidirectionnel



- But: adaptation entrée / sortie , délivrer une tension dc à la charge en absorbant un courant dc à la source , (qualité réseau, EMC)
- CVS idéal:  $V_s = \alpha V_e$  ;  $I_e = \alpha I_s$  ;  $P_s = P_e$
- $f_s$ : fréquence de découpage ;  $\alpha$  : rapport cyclique
- Sources tension  $C_e, C_s$ :  $i = C dv/dt \rightarrow \Delta v = \Delta i / (C f_s) \rightarrow \Delta v$  diminue avec  $f_s$
- Sources courant  $L_e, L_s$ :  $e = L di/dt \rightarrow \Delta i = \Delta e / (L f_s) \rightarrow \Delta i$  diminue avec  $f_s$
- Filtrage: cellules  $L_e-C_e$  &  $L_s-C_s \rightarrow$  fréquence propre  $\ll f_s$
- Volume inductance :  $kLI^2 \rightarrow$  à I fixé on cherche à diminuer L
- Volume capacité:  $kCV^2 \rightarrow$  à I fixé on cherche à diminuer C

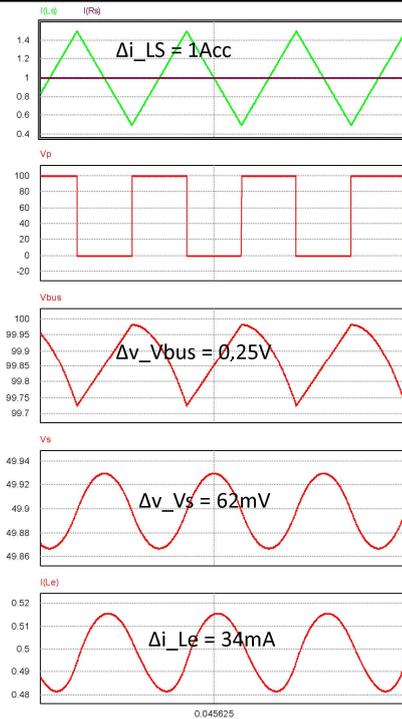
→ on cherche à augmenter la compacité donc  $f_s$  !

4



**FRAMATECH**

DC-DC bidirectionnel  
Ex. d'application

• DC-DC: ex. d'application

- $V_e = 100V$  ;  $V_s = 50V$  ;  $I_s = 1A$  ;  $P = 50W$
- $F_s = 100kHz$  ;  $\alpha = 0,5$
- $L_s = 250\mu H$  ;  $L_e = 10\mu H$  ;  $C_e = 10\mu F$  ;  $C_s = 20\mu F$ 
  - $f_{0\_Le-Ce} = 16kHz \ll f_s$
  - $f_{0\_Ls-Cs} = 2,25kHz \ll f_s$

A fréquence fixée, le choix de la valeur de  $L_s$  est un facteur clef du design:

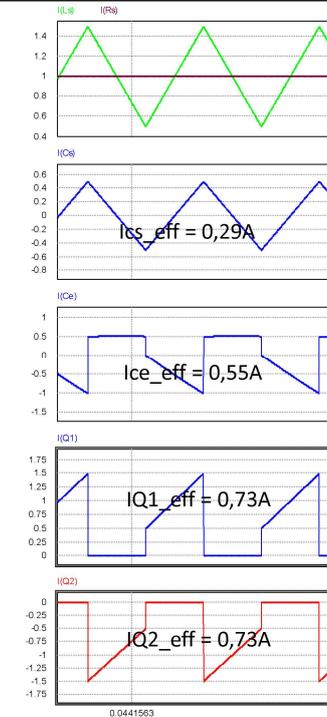
- $\Delta i_{LS} = 1Acc \rightarrow$  conduction continue
- $L_s$  :  $\Delta i$  max pour  $\alpha = 0,5$ ; on cherche à réduire  $\Delta i$  dans  $L_s$  pour:
  - Réduire  $I_{eff}$  pour moins de pertes joule et de pertes supplémentaires (effets de peau et proximité) Ici:  $I_{moy\_Ls} = 1A$  ;  $I_{eff\_Ls} = 1,5A$
  - Réduire l'induction max de  $L_s$  ( $B_{max} = L I_{max} / S_{fer N}$ ) donc son encombrement
  - Réduire  $\Delta B$  et les pertes fer ( $L_s$ )
  - Réduire  $I_{eff}$  dans la capacité de filtrage ( $C_s$ )

5



**FRAMATECH**

DC-DC bidirectionnel  
Ex. d'application

• DC-DC: ex. d'application

Méthodologie de design:

- Identifier / calculer les courants et tensions dans tous les passifs et actifs de puissance (crêtes, eff) dans les pires cas par approche analytique et par simulation (PSIM, LT SPICE, PLECS...);
- La connaissance de ces variables va permettre d'établir le bilan de pertes
- Prêter attention aux régimes transitoires selon le mode de contrôle choisi  $\rightarrow$  favoriser les stratégies avec contrôle du courant à bande passante élevée pour limiter le stress des composants actifs.

6



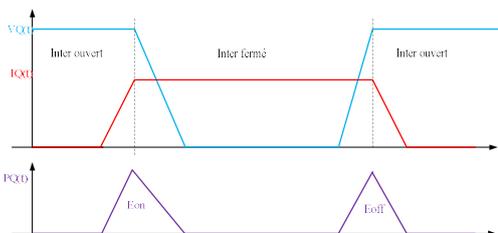
# Bilan de pertes Actifs



## Bilan de pertes:

### Composants Actifs:

- Pertes en conduction:
  - MOSFET: (Si, SiC, GaN):  $P_{cond} = R_{ds(on)} \times I_{D,eff}^2$  (attention :  $R_{ds(on)}$  augmente avec  $t_j$ )
  - IGBT:  $P_{cond} = V_{cesat} \times I_{c,moy}$
  - Diode:  $P_{cond} = V_F \times I_{F,moy}$
- Pertes dynamiques (en commutation):



- $P_{com} = F_s \times (E_{on} + E_{off})$  ;  $E_{on}$ - $E_{off}$  sont données directement par la data-sheet composant ou à déterminer selon méthode approchant à partir de la data-sheet (cf AN-6005 Fairchild semiconductor , par exemple)
- Ne pas omettre les pertes en commutation des diodes

**Les pertes en commutation des semi-conducteurs constituent une limitation majeure à l'augmentation de la fréquence**

7



# Bilan de pertes Passifs



## Bilan de pertes:

### Composants Passifs et PCB

#### Inductances et transformateurs

- Pertes ohmiques « dc » :  $R_{dc} \times I_{eff}^2$
- Pertes par effet de peau et proximité (**effet de la fréquence**) :

Ex pour un conducteur cylindrique la section utile est :

$$S_u = \pi \cdot (R^2 - (R - \delta)^2)$$

Pour du cuivre:

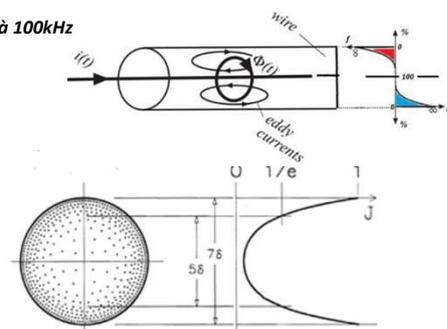
$$\delta = \frac{75}{\sqrt{f}} \text{ mm à l'ambient, } \delta = \frac{66}{\sqrt{f}} \text{ mm à } 100^\circ\text{C}$$

Ex1: **10 mm à 50Hz** → emploi de barres de section rectangulaire pour la forte puissance

Ex2: **0,24 mm à 100kHz**

$$\delta = \sqrt{\frac{2}{\omega \mu \sigma}} = \sqrt{\frac{2\rho}{\omega \mu}} = \frac{1}{\sqrt{\sigma \mu \pi f}}$$

- $\delta$  : épaisseur de peau en mètre [m]
- $\omega$  : pulsation en radian par seconde [rad/s] ( $\omega = 2 \cdot \pi \cdot f$ )
- $f$  : fréquence du courant en hertz [Hz]
- $\mu$  : perméabilité magnétique en henry par mètre [H/m]
- $\rho$  : résistivité en ohm-mètre [ $\Omega \cdot m$ ] ( $\rho = 1/\sigma$ )
- $\sigma$  : conductivité électrique en siemens par mètre [S/m]



8



# Bilan de pertes Passifs



## Bilan de pertes:

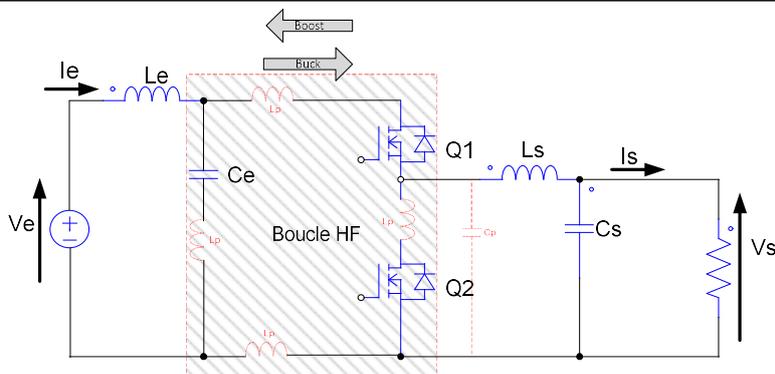
- Composants Passifs et PCB
    - **Inductances et transformateurs**
      - Pertes fer dans les circuits magnétiques (**effet de la fréquence**) :  

$$P_{fer} = k f s^\alpha \times B^\beta$$
 B: induction ; fs : fréquence ;  $\alpha$  et  $\beta$  dépendant du matériau (cf data-sheet matériaux)
    - **Condensateurs:**
      - Pertes ohmiques :  $R_{se} \times I_{eff}^2$
      - Pertes diélectriques :  $Q \times tg\delta$  (avec  $Q = k V^2 f$  (**effet de la fréquence**)) (Pertes négligeables dans le cas des condensateurs de découplage)
    - **Circuit imprimé:**
      - Pertes ohmiques des pistes de puissance :  $R \times I_{eff}^2$  avec :  $R = \rho \times L / S$
      - Pertes par effet de peau et proximité (**effet de la fréquence**)
      - Pertes additionnelles dues aux inductances parasites des liaisons et composants soumises à  $di/dt$  :  $\frac{1}{2} L_p \times I^2 \times fs$  avec  $L_p \approx 10nH$  par cm (**effet de la fréquence**)
      - Pertes additionnelles dues aux capacités parasites soumise à  $dv/dt$ :  $\frac{1}{2} C_p \times V^2 \times fs$  (**effet de la fréquence**)
- Ces pertes additionnelles sont en général dissipées par les composants actifs !

9



# Limitier les éléments parasites



Réduire les inductances parasites des liaisons soumises à  $di/dt$  et les capacités parasites soumises à  $dv/dt$  pour:

- Limiter les surtensions et pertes des semi-conducteurs
  - Limiter les champs rayonnés
  - Limiter les transitoires de courant des semi-conducteurs
  - Limiter les courants de mode commun
- Réduction du stress des actifs & augmentation du rendement  
 → Amélioration de l'auto-immunité équipement  
 → Réduction des émissions conduites et rayonnées (respect des std CEM)

10


### Règles pratiques à implémenter et / ou auditer :

- Comment réduire les inductances parasites de la boucle de commutation:
  - Réduction de la longueur des interconnexions
  - Emploi de composant CMS autant que possible
  - Emploi de capacités de découplage à faible inductance (chip céramique par ex.)
  - Emploi de plans superposés dans le PCB ou bus bars pour la forte puissance
  - Bannir l'emploi du câblage filaire dans les boucles HF
- Limiter les capacités parasites entre potentiels soumis à  $dv/dt$  et potentiels fixe (dc bus, châssis) → contraintes de routage CI
- Définir des zones dédiées: filtres EMC, contrôle & monitoring, drivers SC, cellule de commutation
- Ctrlle & monitoring:
  - Emploi impératif d'un plan de masse, si possible référencé au châssis → équi-potentialité / auto immunité
  - Ne pas rompre le plan de masse entre fonctions analogiques et numériques
  - Cartes multiples: à éviter si possible ou garantir l'équi-potentialité des masses (liaisons de masse multiples)
  - Liaisons courte vers la puissance courte (flex, flex rigide...) reproductibles en série
- Filtre EMC:
  - Emploi d'un plan de masse dédié directement connecté au châssis
  - Interconnexions ultra courtes des capacités de MC au plan de masse (CMS)
  - Blindage intégral du filtre (capotage métallique si possible couplé au boîtier équipement)

L'activité du designer ne s'arrête pas au schéma mais doit se poursuivre durant toute l'élaboration de la définition (PCB, mécanique...) !!

11

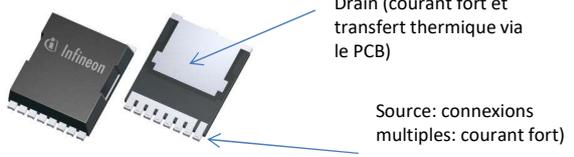
  
  


### Facteurs limitants de la fréquence:

- Pertes dynamiques des semi-conducteurs
- Eléments parasites ( $L_p$ ,  $C_p$ )
- Pertes HF des passifs et interconnexions (effet de peau, proximité)
- Pertes fer des composants magnétiques

$f_s$  : compromis nécessitant la détermination précise des pertes (simulation puis prototypage)

- Récentes évolutions technologiques majeures:
  - Réduction des  $R_{sdson}$  des MOSFET Si
  - Maturité des MOSFET SiC
  - Emergence des GaN FET
  - Boîtiers puissance CMS à connexions courtes (TO Lead-Less TOLL)



Drain (courant fort et transfert thermique via le PCB)

Source: connexions multiples: courant fort)

Ex: boîtier HSOF INFINEON (MOSFET SI 100V-300A -1,5m $\Omega$ )

12



Les récentes évolutions technologiques : SiC



Les MOSFET SiC (650V - 900V - 1200V - 1700V - 2000V)

- Tension d'emploi : 200V et plus (généralement déclinés en 4 ou 5 familles de tension)
- Maturité technologique acquise : industrie, automobile, solaire...

Ruptures technologiques des MOSFET SiC:

- Tjmax : 175°C voire 200°C
- Rdsn faible (vs MOSFET Si dans le même domaine de tension)
- Qg faible (Ciss, Crss faible) → Puissance driver gate réduite
- Pertes dynamiques (Eon, Eoff) faibles (Vs IGBT) et peu sensibles à t°C
- Diode intrinsèque à charge de recouvrement (Qrr, Irrm) très faible

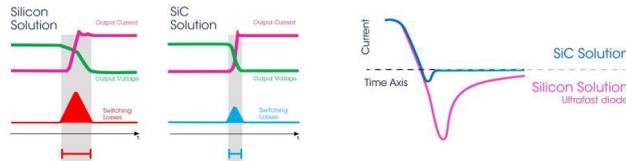
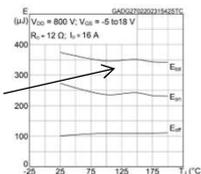


Figure 12. Typical switching energy vs temperature



Stabilité des pertes dynamiques vs t°C (ST micro)

**Note:** La réduction des pertes dynamiques permet notamment pour le contrôle moteur d'augmenter la fréquence de découpage onduleur et de réduire l'ondulation de courant et les pertes supplémentaires dans la machine électrique.

13



Les récentes évolutions technologiques : SiC

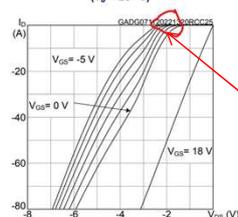


Les MOSFET SiC (650V - 900V - 1200V - 1700V - 2000V)

Difficultés et précautions d'emploi des MOSFET SiC:

- Tension directe de la diode intrinsèque élevée (≈ 2V-3V vs 0,7V pour le Si) augmentant avec Vgs < 0 → **limiter son emploi** (pertes importantes). Le temps mort du bras de commutation sera réduit au mieux grâce au temps de commutation rapide.
- Tension de grille en régime saturé élevée (18V) mais tend à réduire vers 15V sur les nouvelles générations qui sont à préférer.
- Marge faible entre la tension de grille opérationnelle (≈18V) et la tension max admissible (≈22V) : préférer les dernières générations pour une marge plus importante
- Seuil de conduction (Vgsth) souvent faible (1V à 4,5V selon fabricant) décroissant avec t°C → **risque de mise en conduction intempestive avec destruction du bras**
- → **Préférer les Vgsth plus élevés et veiller à une impédance de mise OFF suffisamment faible**
- Tension Vgs négative admissible réduite (-5V, -7V) vs -20V pour les MOS Si et IGBT

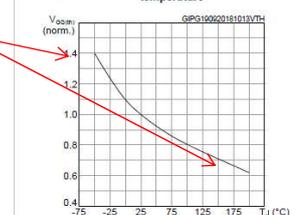
Figure 16. Typical reverse conduction characteristics (Tj = 25 °C)



Vgsth faible qui diminue avec t°C --> précaution de design driver !

Tension directe importante de la diode, liée à la valeur de Vgs → Optimiser le temps mort de bras

Figure 10. Normalized gate threshold voltage vs. temperature



14



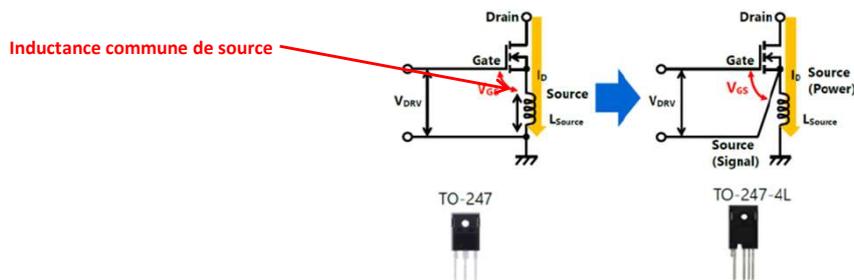
Les récentes évolutions technologiques : SiC



### Les MOSFET SiC (650V - 900V - 1200V - 1700V – 2000V)

#### Précautions d'emploi des MOSFET SiC (suite):

- Vitesse de commutation élevée :  $di/dt \rightarrow$  réduire les inductances de la boucle HF afin de réduire les surtensions et les émissions EMC (plus critique que l'IGBT)
- Règles de design du circuit de commande de grille :
  - Limiter au strict minimum l'inductance commune de source
  - Réduire la distance entre driver et grille (réduction de l'inductance parasite)
  - Réduire l'impédance de mise OFF (immunité au blocage)
  - Vérifier le régime amorti du circuit de commande de grille
  - Vérifier par essai la tension de grille ( Surtensions ...)
- Sélectionner des boitiers SiC discrets permettant une connexion de source dédiée « Kelvin » pour le driver (la plupart des fabricants proposent (2023) des boitiers TO247 4 broches)



15



Les récentes évolutions technologiques : SiC



### Les MOSFET SiC (650V – 900V - 1200V - 1700V – 2000V)

#### Principaux fabricants de MOSFET SiC :

- Diode incorporated
- GeneSiC (Gen 3)
- Infineon (*CoolSiC*)
- Microchip Technology (*mSiC*)
- RHOM Semiconductors (*4th gen SiC*)
- ST Microelectronics (Gen 3)
- Toshiba (Gen 3)
- Wolfspeed (Gen 3)
- ...etc...

#### Principaux boitiers MOSFET SiC « discrets » :



16

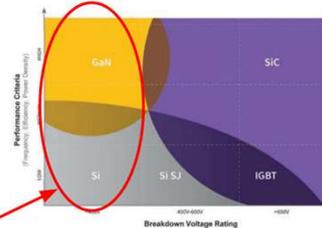
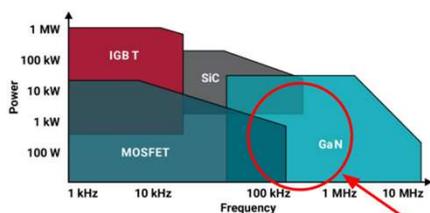
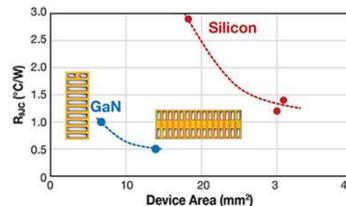
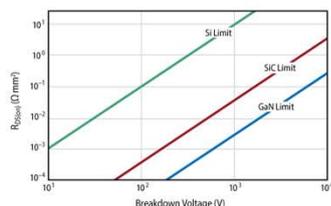


Les récentes évolutions technologiques : GaN FET



### Les Gallium Nitride (GaN) FET (30V ...650V )

- Tension d'emploi : qq dizaines de volt à 500V (2023)
- Technologie **émergente**, moins mûre que le SiC: (premiers GaN FET disponibles en 2010), devrait à terme succéder aux MOSFET Si
  - Surface de puce plus faible à même couple  $R_{son} V_{br}$  versus Si
  - Résistance thermique plus faible que le Si à surface identique



17



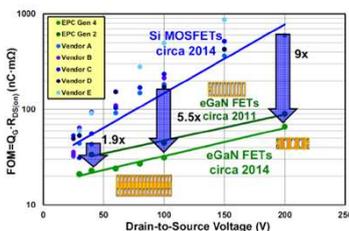
Les récentes évolutions technologiques : GaN FET



### Les Gallium Nitride (GaN) FET (30V ...650V )

#### Principales ruptures technologiques des GaN FET:

- Facteur de mérite (FOM) ( $Q_g \times R_{dson}$ )  $\ll$  MOSFET Si (notamment à  $V_{ds}$  élevé)
- Capacités  $C_{gs}$ ,  $C_{gd}$ ,  $C_{oss}$  faibles  $\rightarrow$  vitesse de commutation très élevée
- Absence de recouvrement inverse ( $Q_{rr} = 0$ ,  $I_{rrm} = 0$ )
- Nouvelles formes de boîtiers, puces reportables sur PCB



A. Lillier, D. Bouch, J. Gibon, "Getting from 48 V to Low Voltage Bridge: Improving Low Voltage DC-DC Converter Performance with GaN Transistors", "Applied Power Electronics Conference - APEC 2019"

	INFINEON COOL MOS 650V CFD7 IPL65R065CFD7	GaN system 650V GS-065-060-5-T-A
Case	ThinPak 8 x 8 x 0,9	9 x 7,6 x 0,7
Rdson	65 mΩ	25 mΩ
Qgtot	68 nC	14nC
Ciss	3288 pF	516pF
Crss	10pF	2pF
Eoss	9,5uJ	17uJ
Qrr	0,89nC	0

18



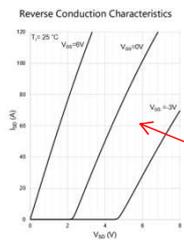
Les récentes évolutions technologiques : GaN FET



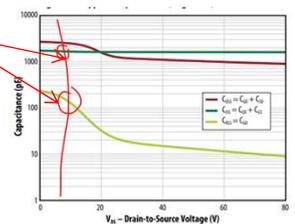
### Les Gallium Nitride (GaN) FET (30V...650V)

#### Difficultés et précautions d'emploi des GaN:

- **Tension de conduction inverse élevée** ( $\approx 2V-4V$  vs  $0,7V$  pour le Si) augmentant avec  $V_{gs} < 0$  → **limiter ce mode** (pertes importantes). Réduire le temps mort du bras de commutation !
- **Marge très faible** entre tension  $V_{gs}$  de saturation ( $\approx 5V$ ) et sa valeur max admissible ( $\approx 7V$ ) → **Tension driver régulée, inductance série driver et inductance commune de source à réduire**
- Seuil de conduction ( $V_{gsth}$ ) faible ( $0,7$  à  $1,5V$ ) décroissant avec  $t^\circ C$  et rapport  $C_{iss} / C_{gd}$  faible → **immunité faible, risque de mise en conduction intempestive avec destruction du bras**,
- Tension  $V_{gs}$  négative admissible réduite ( $> -10V$ ) vs  $-20V$  pour les MOS Si et IGBT
- Temps de commutation (ton, toff) très faibles (qq ns),  $di/dt$  très élevés → **forte susceptibilité aux inductances parasites** → **contraintes de routage très fortes**
- **R<sub>don</sub> dynamique** : augmentation de  $R_{don}$  (1x) suite au blocage sous tension (non renseigné dans datasheet)
- **Nx boîtiers** : petite dimension et puces brasables sur PCB



Tension inverse (Vsd) importante Augmente avec  $V_{gs} < 0$



Rapport  $C_{iss} / C_{rss}$  faible !



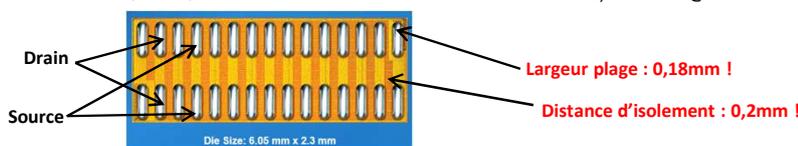
Les récentes évolutions technologiques : GaN FET



### Les Gallium Nitride (GaN) FET (30V ... 650V...)

#### Difficulté de mise en œuvre des boîtiers GaN:

- Exemple de puce GaN EPC brasable sur PCB: **LGA** **EPC2206** 80V 2,2mΩ 90A @25°C

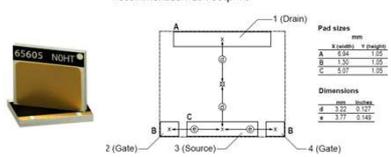


Difficultés à considérer, pour le développement notamment (cycle de réparation):

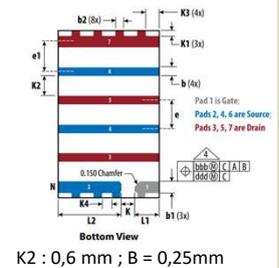
- **Report manuel (quasi) impossible !**
- Absence de visibilité des brasures
- Plages étroites (0,18mm): difficulté à tirer parti des performances (PCB complexe)

#### Boîtiers « non BGA » :

Ex: GaN system  
GS-065-0GS065 650V - 25mΩ



Ex: EPC nx boîtier QFN  
EPC2302 100V - 1,8mΩ





Mise en œuvre MOSFET & GaN  
L'inductance de source commune

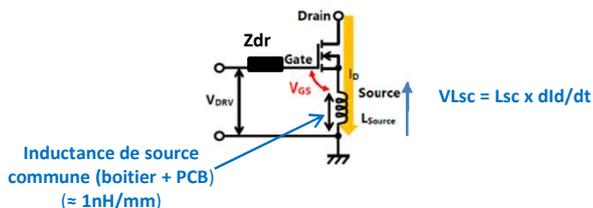


### La problématique d'inductance de source commune

L'inductance de source commune est le **critère n°1** à considérer pour la mise en œuvre des MOSFET Si ou SiC et des GaN FET.

Problématique parfois méconnue des designers:

- Limite la vitesse de commutation des MOSFET (peu d'impact en BF (10-20kHz) mais à considérer impérativement au-delà de 50kHz pour réduire les pertes dynamiques
- Potentiellement destructeur pour les GaN (di/dt très élevé)



#### MISE ON:

$V_{gs} = V_{driver} - Z_{dr} \times I_g - V_{Lsc}$   
 $di/dt > 0 \rightarrow V_{Lsc} \text{ réduit } V_{gs} \rightarrow$  l'effet de contre réaction augmente  $t_r$  donc les pertes dynamiques ( $E_{on}$ )

#### MISE OFF:

$V_{gs} = V_{driver} - Z_{dr} \times I_g - V_{Lsc}$   
 $di/dt < 0 \rightarrow V_{Lsc} \text{ augmente } V_{gs} \rightarrow$  L'effet de contre réaction augmente  $t_f$  donc les pertes dynamiques ( $E_{off}$ )

21



Mise en œuvre MOSFET & GaN  
L'inductance de source commune



### La problématique d'inductance de source commune

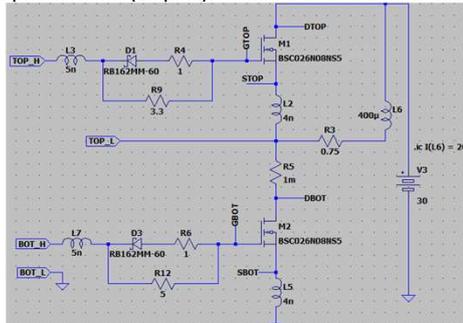
Inductances à considérer :

- inductances internes boitier
- Inductances des connexions (TO220, TO247)
- Inductance du PCB

Règles de conception pour réduire l'inductance de source commune :

- Eviter si possible les boitiers à broches longues (TO220, TO247...)
- Boitier TO247: sélectionner les nx boitiers « Kelvin source » TO247-4L
- Boitiers CMS (TO263, TOLL...): Attribuer une broche de source au driver

Illustration du phénomène (LTspice): Commutation d'un bras de MOSFET Si sous 20A



22



Mise en œuvre  
MOSFET & GaN  
L'inductance de source  
commune



### La problématique d'inductance de source commune

Simulation n°1: Lsc = 4nH: mise OFF



Tf = 24ns  
Eoff = 10uJ

Simulation n°2: Lsc = 10nH: mise OFF



Tf = 55ns  
Eoff = 21uJ

23



Mise en œuvre:  
Le DRIVER



### Critères clés du DRIVER

Principaux critères de sélection du Driver:

- Impédance de sortie suffisamment faible en regard du composant à piloter
- Capacité à délivrer et supporter le courant de grille (I<sub>g</sub> pic pouvant atteindre la dizaine d'ampères)
- Capacité à dissiper la puissance (P = Q<sub>g</sub>tot x U driver x fs)
- Préférer un driver à 2 sorties (ON –OFF) ou à défaut désymétriser avec un circuit R-D-R
- Adapter la tension driver selon la technologie à contrôler:
  - 15-18V : MOSFET SiC
  - 10-12V : MOSFET Si
  - 5V réglé: GaN
- Fonction « UVLO » adaptée de monitoring de la tension driver permettant d'éviter le fonctionnement en zone linéaire et donc potentiellement la destruction du composant de puissance
- Fonction « dead time » constituant l'ultime protection locale en cas d'erreur de commande de la partie contrôle ( Développement, pb auto immunité EMC...) du bras de commutation.

Pour les applications au dessus de la tension de sécurité (> 50Vdc)

- **Driver isolé :**
  - permet d'éviter l'extension d'un défaut potentiel vers les étages bas niveau
  - Constitue une barrière d'isolement en respectant les critères d'isolement et de ligne de fuite (EN60664-1)
  - Sélectionner le driver et son circuit d'alimentation avec les capacités parasites de liaison les plus faibles possible (qq pF max) pour limiter la circulation de courant de mode commun dans les étages bas niveau. (EMC)

24

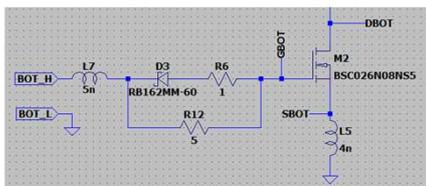


# Mise en œuvre: Le DRIVER



## Design du circuit DRIVER

- Driver local à proximité immédiate du transistor de puissance (réduit l'inductance parasite):
  - MOSFET Si / SiC très recommandé (**qq cm**)
  - GaN : impératif (**qq mm**)
- Ajuster les résistances Ron / Roff (en général Roff < Ron) et vérifier la puissance dissipée (Pd = Ciss x Vdriver<sup>2</sup> x fs)
- Vérifier l'amortissement du circuit de commande de grille :  $z \geq 1 \rightarrow R \geq 2 \times (L / Ciss)^{0,5}$  afin d'éviter le mode oscillatoire
  - **Exemple 1** : MOSFET Si: Ciss = 5nF ; Ldriver = 10nH (≈ 1cm)  
Ron, Roff ≥ 2,8Ω
  - **Exemple 2** : GaN Ciss = 1nF ; Ldriver = 5nH (≈ 5mm)  
Ron, Roff ≥ 4,5Ω



## GaN FET à driver intégré

- Compte tenu de la difficulté à remplir tous les critères (inductance de source commune très faible, régime amorti, immunité au blocage, tension de grille dans les limites admissibles ...) les fabricants commencent à proposer des GaN à driver intégré (solution à privilégier pour limiter les risques) mais il s'agit de solutions émergentes:
  - **EPC 23104**: bras GaN + driver (boîtier QFN)
  - **TI** : série LMGx, : GaN + driver, Bras GaN + driver

25



# PCB basics : matériaux & classes



## PCB basics:

- Isolant standard (époxy FR4) → limitation en température

Matériaux	Tg°
FR4	125°C à 130°C
FR4 Htg	150°C à 180°C
BT Epoxy	175°C à 200°C
CYANATE ESTER	240°C à 260°C
POLYIMIDE	220°C à 280°C

Epaisseurs de cuivre
9µ
12µ
17,5µ
35µ
70µ
105µ

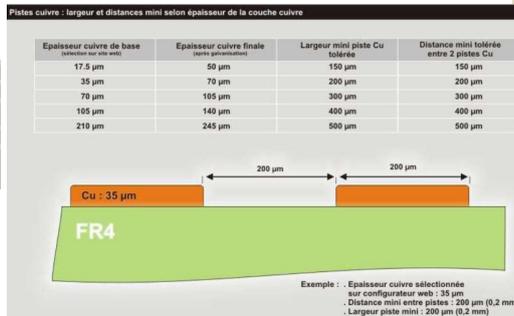
- Epaisseurs de cuivre (pcb fini) → limitation en courant

CRITERES D'APPARTENANCE à une CLASSE

Extrait de la norme NF C 93-713 ANNEXE C janvier 1989

Critères d'appartenance à une classe	CLASSES					
	1	2	3	4	5	6
Valeur de conception						
Epaisseur totale du cuivre sur faces (µm)	105	105	105	70	50	35
Valeurs nominatives maximales sur couches internes	105	105	70	35	35	17,5
Largeur minimale (mm)	0,80	0,50	0,31	0,21	0,15	0,12
Espacement minimal (mm)	0,88	0,50	0,31	0,21	0,15	0,12

Exemples de classe de PCB:



- Standard de design des PCB: **IPC-2221**

26



# PCB basics: Multicouches



## PCB basics: fabrication d'un multicouche (source Union technologique) :

Nombre de couches : couramment jusqu'à 18, applications puissance plutôt moins de 10 couches.

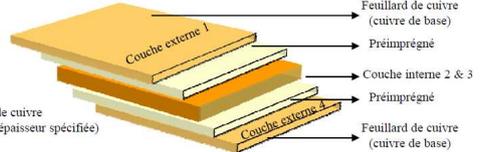
### EMPLIAGE DES COUCHES INTERNES :

Empilage des couches internes et des préimprégnés pour réaliser le circuit multicouches. Les trous de locating (XS) servent de dérompeur afin d'éviter l'inversion de sens des couches.

#### EXEMPLE D'UN CIRCUIT 4 COUCHES



- 1 - Empilage du feuillard de cuivre
- 2 - Préimprégnés (suivant épaisseur spécifiée)
- 3 - Couche interne



- 4 - Rajout des préimprégnés suivant épaisseur spécifiée
- 5 - Couches internes suivantes (suivant nombre de couches)



- 6 - Empilage du feuillard de cuivre



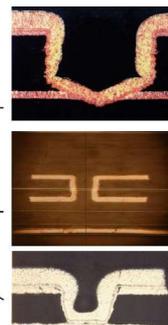
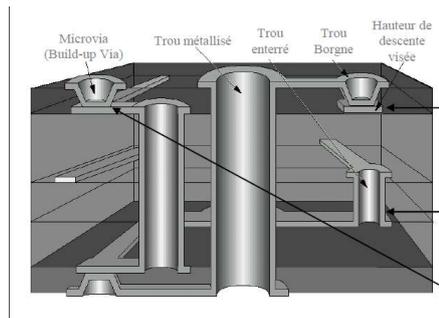
27



# PCB basics : trous métallisés



## PCB basics: perçages et trous (source Union technologique)

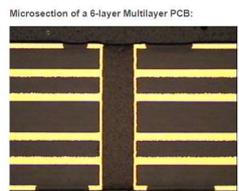
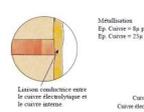


**POSSIBILITE DE PERÇAGE**  
 Vitesse : 150 000 Tr/min.  
 Ø mini 0,1 mm.  
 Trous borgnes.  
 Trous enterrés.

**1 - Opération intermédiaire :** Dépôt d'une couche polymère sur les parties isolantes. Celle-ci permettra au cuivre de s'accrocher aux parties non conductrices lors du passage dans le bain électrolytique.



**2 - Opération finale :** Dépôt d'une couche de cuivre électrolytique sur le cuivre de base (en surface et sur les parois des trous).



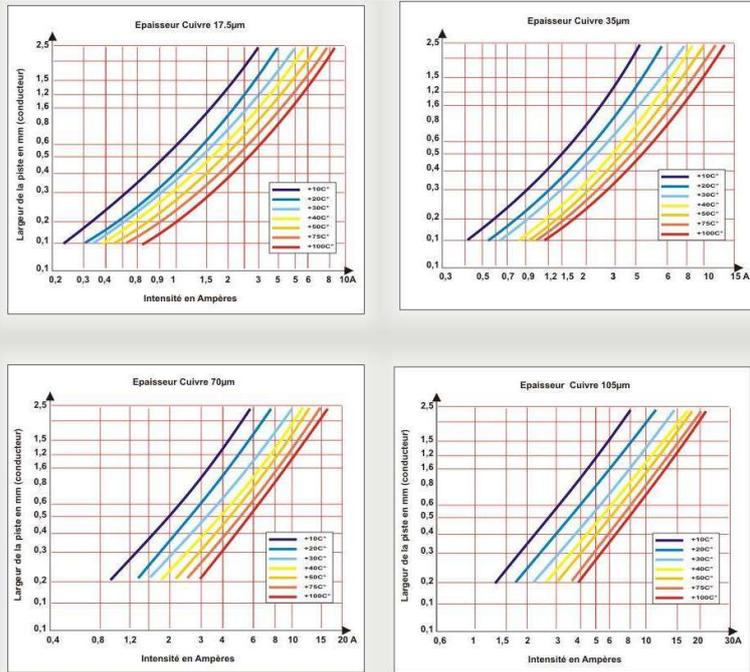
28



# PCB Echauffement des pistes



## PCB basics: échauffement des pistes



29



# PCB CU épais



## PCB basics: les PCB puissance « heavy copper »

Augmenter l'épaisseur des pistes pour réduire chute de tension, pertes et échauffement → quelques fabricants proposent des solutions.

Ex: production de la Sté SCHWEIZER:

- Couches externes: 50 à 240µm
- Couches internes : ≤ 400 µm



Photo SCHWEIZER

Solution alternatives : report de bus bar forte épaisseur (≥ 1mm) sur couche (s) externe (s)



Photo Texas instrument

30

**FRAMATECH**

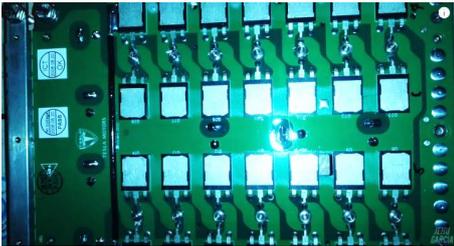
## Transfert thermique

Pour gagner, faites donc jouer Framatech !

**Transférer la puissance dissipée du PCB vers la zone froide**  
**Zone froide:** radiateur à convection forcée ou naturelle, pièce massive capable d'absorber les calories (ex: plaque froide refroidie par liquide...)

Plusieurs solutions possibles:

- Composants de puissance montés sur la zone froide (solution conventionnelle)
- SMI : Substrat Métallique Isolé, adapté au cooling des CMS
- PCB interfacé à la zone froide avec un intercalaire thermique (TIM)
- Boitiers composant « Top cooled » interfacé avec un TIM



Exemple de report d'IGBT TO 247 sur la zone froide : 14 IGBT en // par interrupteur soit 84 TO247 dans l'onduleur de puissance de la TESLA model S

31

**FRAMATECH**

## Transfert thermique : SMI

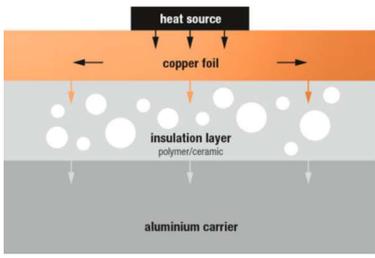
Pour gagner, faites donc jouer Framatech !

**Transfert thermique : Substrat Métallique Isolé (SMI):**

Cuivre (385W/m.K): 18 à 105  $\mu$ m

Isolant (2.7W/m.K): 50 à 200  $\mu$ m

Substrat métallique ( $\approx$ 140W/m.K): 0,3 à 3mm



**Avantages:**

- Conductivité thermique couche isolante (2,7 W/m.K) meilleure que FR4 (0.3 W/m.K)
- Ensemble pressé usine: excellent contact thermique avec le substrat métallique
- Montage du SMI sur zone froide avec graisse thermique ou intercalaire graphite (Ex: Graphite-Pad de Panasonic 13°C / W)

**Inconvénients:**

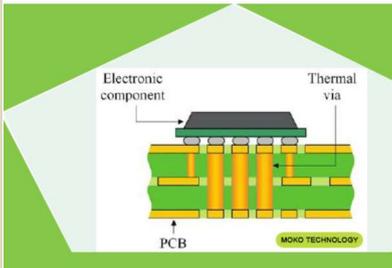
- Une seule couche de cuivre :
  - Non adapté à la haute fréquence
  - Implantation très difficile des composants driver et contrôle

32



## Transfert de puissance par vias thermiques

Transfert thermique : vias thermiques



### Principe:

Conductivité thermique FR4 faible (0.3 W/m.K) comparée à celle du cuivre (385 W/m.K → transfert thermique par un champs de vias sous le composant à refroidir

### Résistance thermique d'une via:

$$R_{th\text{via}} = \frac{L_{\text{via}}}{S_{\text{via}} \times \lambda_{\text{CU}}}$$

L<sub>via</sub>: épaisseur PCB : (1,6 ...3,2mm)

S<sub>via</sub> : section du « tube » de la via (fonction du diamètre et de l'épaisseur du report CU)

Epaisseur sdt du report CU: 25µm

### Avantages:

- Composants PU CMS (performances , faible coût de fabrication)
- PCB multicouches adapté à la HF et l'implantation des composants bas niveau (driver, contrôle...) sur la même carte

### Inconvénients:

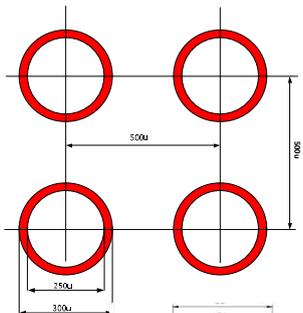
- Interfaçage thermique délicat du PCB à la zone froide: intercalaire thermique (gap pad... avec risque de « voids » à adresser) → émergence de solutions « SMI » multicouches mais couteuses.

33



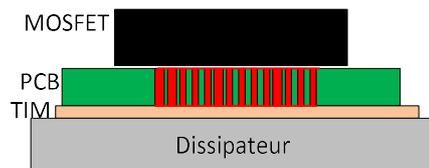
## Boitier CMS « bottom cooled » par vias thermiques

Transfert thermique : vias thermiques



MOSFET bottom view

H1 = 6,6mm  
E1 = 7,5mm



### Exemple de design sous un boitier TOLL PG-HSOF-8:

- Champ de vias disposées au pas de 500u
- Diamètre fini via: 250u
- Epaisseur CU via : 25u

### Calcul section d'une via:

- $S_{\text{via}} = \pi \times (R^2 - r^2)$  avec R = 150u ; r = 125u
- $S_{\text{via}} = 2,16E-8 \text{ m}^2$



### Calcul résistance thermique d'une via:

- L<sub>via</sub> = 1,6mm (épaisseur PCB)
- $R_{th\text{via}} = 1,6E-3 / (385 \times 2,16E-8) = 192^\circ\text{C} / \text{W}$

### Calcul résistance thermique du champ de via:

- Zone d'échange thermique boitier : 7 x 7 mm
- Champ: 14 x 14 vias soit 196 vias
- $R_{th\_Chp\_vias} = 192 / 196 = 0,98^\circ\text{C} / \text{W}$

### Calcul résistance thermique TIM entre PCB et dissipateur:

- Lambda TIM = 5°C/W ; Epaisseur TIM = 0,6mm
- S<sub>utile</sub> TIM = 7x7 = 49 mm<sup>2</sup>
- $R_{th} = 0,6E-3 / (5 \times 49E-6) = 2,4^\circ\text{C} / \text{W}$

### Résistance thermique totale Jonction / dissipateur:

- $R_{thJ/C} \text{ MOSFET} : 0,4^\circ\text{C}/\text{W}$
- $R_{th\_tot} J/d = 0,4 + 0,98 + 2,4 = 3,8^\circ\text{C} / \text{W}$

34



Transfert thermique  
Boitiers  
« top cooled »



### Boitier CMS « Top cooled »

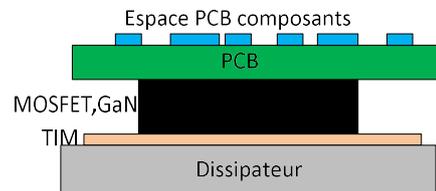
Emergence de boitiers « Top cooled » : MOSFET Si, GaN FET  
Initialement « Direct FET » de IR puis élargissement de l'offre:

- INFINEON (TOLT package)
- ON SEMICONDUCTOR
- ST Microelectronics
- GaN System
- ...



Avantages :

- Boitier interfacé directement avec le dissipateur via un TIM (Rth plus faible)
- Procure de l'espace sur le PCB pour disposer les capacités de découplage, drivers...



35



QUESTIONS



Contraintes de conception et fabrication des alimentations de puissance

36



# FRAMATECH

**Une offre de formations adaptée  
à vos situations professionnelles**



---

## Contact

**Alain BARONI – Président, Directeur Général**

**Tél. 04 91 95 55 70**

**Mail : [contact@framatech.fr](mailto:contact@framatech.fr)**